

PUB-NO: JP407193068A
DOCUMENT-IDENTIFIER: JP 07193068 A
TITLE: FLIP CHIP BUMP AND ITS MANUFACTURE

PUBN-DATE: July 28, 1995

INVENTOR-INFORMATION:
NAME
YOKOYAMA, KOJI
KIMURA, HIKARI
UCHIUMI, KAZUAKI

ASSIGNEE-INFORMATION:
NAME
COUNTRY
NEC CORP
N/A

APPL-NO: JP05329370
APPL-DATE: December 27, 1993

INT-CL (IPC): H01L 21/321; H01L 21/60; H01L 23/29; H01L 23/31

ABSTRACT:

PURPOSE: To provide the external connection bumps of an LSI chip which do not generate α -ray radiating elements, do not show the crashes at the time of punching, etc.

CONSTITUTION: A base substrate 1 coated with a solder plating layer 2 is punched by a punch 3 to form multilayer bumps 5 on a transfer sheet 4. The bumps 5 are bonded to an LSI chip 6 with flux 7, etc. For this purpose, the base substrate 1 made of Cu, Au, etc., can be used or a multilayer metal base substrate may be used.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-193068

(43) 公開日 平成7年(1995)7月28日

(51) Int. Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/321 21/60 23/29	3 1 1 Q	6918-4M 8617-4M	H 0 1 L 21/ 92 23/ 30	D A
審査請求 有 請求項の数 6 O L (全 4 頁) 最終頁に続く				

(21) 出願番号 特願平5-329370

(22) 出願日 平成5年(1993)12月27日

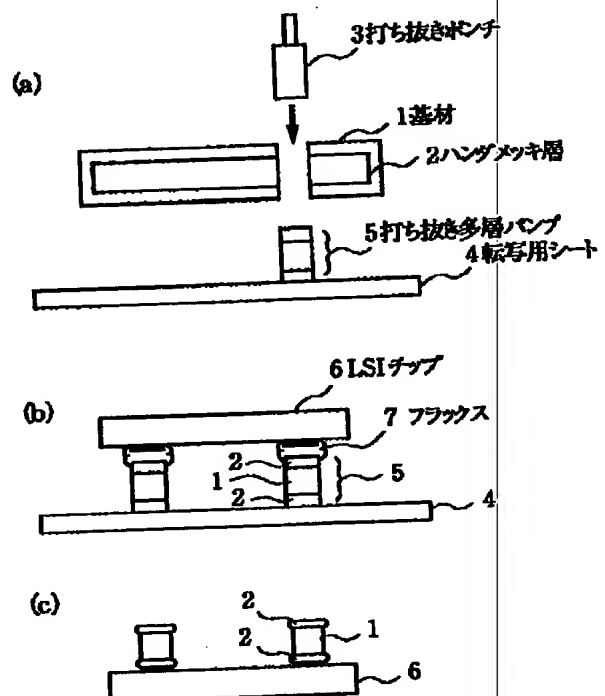
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 横山 孝司
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72) 発明者 木村 光
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72) 発明者 内海 和明
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 フリップチップバンプ及びその製造方法

(57) 【要約】

【目的】 α 線放射元素の発生や打ち抜き時のバンプの潰れ等のない L S I チップの外部接続用のバンプを提供する。

【構成】 ハンダメッキ層 2 によってコーティングされたベース基材 1 を、打ち抜きポンチ 3 にて打ち抜き、転写用シート 4 上に多層バンプ 5 を形成する。これをフラックス 7 等を用いて L S I チップ 6 に接着する。ここで、ベース基材 1 は C u , A u 等を用いることができ、又多層金属のベース材を用いることも可能である。



1

【特許請求の範囲】

【請求項1】 LSIチップのフリップチップバンパにおいて、チップもしくは基板との接着面にハンダメッキを有する金属ベース基材よりなることを特徴とするフリップチップバンパ。

【請求項2】 金属ベース基材材質としてCu, Au, Alを用いることを特徴とする請求項1記載のフリップチップバンパ。

【請求項3】 金属ベース基材とハンダメッキ層との間に接着層及びバリア層を有することを特徴とする請求項1記載のフリップチップバンパ。

【請求項4】 接着層としてCr, Ti, Pd, TiWより選ばれた金属材質を用いることを特徴とする請求項3記載のフリップチップバンパ。

【請求項5】 バリア層としてNi, Mo, W, TiW, Auより選ばれた金属材質を用いることを特徴とする請求項3記載のフリップチップバンパ。

【請求項6】 LSIチップのフリップチップバンパを、表面をハンダメッキされた金属ベース基材よりなる金属シートを打ち抜いて形成することを特徴とするフリップチップバンパの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、コンピュータ、交換機、家電製品等様々な分野のLSIチップが搭載されるシステムにおけるLSIチップの外部接続用電極に関する。

【0002】

【従来の技術】近年のLSI技術の急速な進歩より、コンピュータや通信機等その性能が著しく向上している。これらのシステムに利用されるLSIチップのロジック系は非常に処理能力が優れているものを使用し、また、メモリも大容量のものが使用されている。このような高性能のLSIチップの性能を如何なく発揮させるためにその接続方法が大きな重要課題となっている。LSIの接続に要求されているトレンドとしては、高速信号伝送を可能にするために接続長の短縮化、電子機器の軽薄短小化よりLSIチップ搭載体積の縮小化等がある。これらの要求を満たすための接続法としては、図5に示すような構造で特開昭61-141155号公報に開示されているフリップチップ接続法がある。これはLSIチップ6の電極部に、メッキや蒸着等を使用してハンダバンパ11を形成して基板12に搭載する方法であり、LSIチップ6の電極上にハンダとの接合メタル層を形成する必要がある。又、ハンダシートをボンチで打ち抜き、バンパを形成する方法も知られている。

【0003】

【発明が解決しようとする課題】しかし、特開昭61-141155号公報に開示された構造体を形成するためには、フォトリソグラフィ法や複数回のメタライズ工

2

程を行う必要があり、コストのアップや長時間の製造時間が必要となる。従って最近ではハンダシートをボンチで打ち抜き、バンパを形成する方法が有力視されているが、ハンダシート中のアルファ線元素がアルファ線を発生してソフトエラーの誘発の原因となる問題や、ヒートシンク等の重さによるバンパ潰れや、ハンダシート打ち抜き時のバンパの変形、ハンダの拡散等による接合不良等の問題が依然存在している。

【0004】本発明は上記の従来法の欠点であるアルファ線元素混入の低減、バンパ潰れ、変形の低減等を達成しつつ低コストなフリップチップバンパ及びその製造方法を提供することにある。

【0005】

【課題を解決するための手段】上記の課題を達成するために研究を進めた結果、これらの問題は配線基板や、LSIチップ等との接着面にハンダメッキ層を有する金属ベース材よりなるフリップチップを用いることによって解決されることが明らかになった。又、そのようなバンパは打ち抜き用のシート材を多層化し、これを打ち抜いてフリップチップ用バンパを形成できることも明らかになった。

【0006】従来のハンダシート打ち抜き法で得られるフリップチップバンパは、バルクのハンダ材を使用するため、アルファ線放出元素であるウランやトリウムが100~1000ppbレベルで含まれていた。しかし、電気メッキ等の方法でハンダを析出させれば、アルファ線放出元素の含有量を0.5ppbレベル程度まで低減させることができる。よってメッキ析出基材としてCu, Al, Au等を使用してメッキでハンダを析出させたシートを用いれば、アルファ線放出元素の少ないバンパを形成することができる。しかもCu等のような硬い金属を用いているのでヒートシンク等の重さでバンパの潰れや、又打ち抜き時の変形を防止できる。

【0007】さらに、金属ベース基材とハンダメッキ層との間に接着層及びバリア層が形成されている金属シートを用いることもできる。つまり、Cu等の金属ベース基材に予めNi, Cr, Mo, W, TiW, Au等のバリア層をスパッタやメッキ等で形成しておけばハンダの拡散を防止することもできる。その際に用いる接着金属材質としてはCr, Ti, Pd, TiW等を用いることができる。

【0008】

【実施例】本発明の実施例を図面を用いて具体的に説明する。尚、本発明はこれらの実施例に限定されるものではない。

(実施例1)メッキ法を利用して、バンパ用シートを形成するプロセスを図1に示す。まず、電気伝導性がよく硬い材料であるCu等を基材1として使用する。この基材1を電極としてハンダメッキを行うが、その前にCu表面の酸化物を除去するために酸処理を行う。引き続い

3

てハンダメッキを行いハンダ層2を形成させる。このハンダ析出量はバンパがLSI電極に接合するための最少量でよい。これは、ハンダ析出ばらつきを抑えることと、メッキ時間を短縮することが目的である。尚、この場合ハンダメッキ析出向上を狙って予めCuメッキを行っていても良い。

【0009】このようにして形成した多層バンパシートを、図2に示すように打ち抜きポンチ3を使用して転写用シート4へ多層バンパ5として打ち抜く。従来はハンダシートのみであったので打ち抜く際にバンパの変形等

が起こっていたが、Cuのように硬い金属をベースにすれば改善できる。尚、基材として使用するCu板等の厚さは10～1,000 μ mのものを用いる。引き続き、転写シート上の多層バンパ5をLSIチップ6へフラックス7等を利用して、加熱することにより溶融転写を行い、フリップチップ7を形成する。

(実施例2) 図3に接合バリアメタルを加えたシートの製造プロセスに関して示した。まず、基材1上にバリアメタルと基材層の接着のために、Cr, Ti, Pd, TiW等を接合層として10～1,000nm形成し、さらにハンダのバリアメタル層9としてNi, Mo, W, TiW, Auを10nm～5,000nm形成する。最後にハンダメッキを行いシートを完成させる。これらの中間層の接着層やバリア金属層の成膜方法は、メッキや蒸着やスパッタ法やCVD法等を用いる。さらに必要であれば裏側に同様に成膜を行う。この後は図2に示した工程に従い多層バンパを打ち抜き、LSIチップに転写する。

【0010】実施例1、2に示した工程で製造したバンパは、アルファ線元素の含有量が少なく、しかもハンダのメッキ析出量を接合最少限に抑えることで、ハンダ厚さのばらつきが小さくでき、バンパの高さの殆どが基材の厚みのみに依存するため、均一高のバンパを大量に製造することが可能である。

【0011】また図4に示すように、すでにメッキを用いてハンダ層10がLSIチップ側に薄く形成しているようなチップ6を用いると、多層バンパを転写シートよ

4

り確実に転写することができる。

【0012】なお、本実施例の基材としてはCu板を使用した。電気伝導性がよく硬い材料であればよく他の材料としてはAlやAu等を用いることももちろん可能である。

【0013】

【発明の効果】本発明によるバンパは、 α 線放射元素の混入を低減することができ、しかもバンパの大半が硬い金属からできているため、バンパの潰れや打ち抜き時に変形も最少限に抑えることができる。又、従来のようなバリアメタルを形成する必要がないため工数が大幅に削減され、かつ低コストでLSIチップに形成することができる。

【図面の簡単な説明】

【図1】本発明に用いる金属シートの形成方法を示す図である。

【図2】バンパの打ち抜き・転写プロセスを示す図である。

【図3】本発明に用いる多層金属シートの形成方法を示す図である。

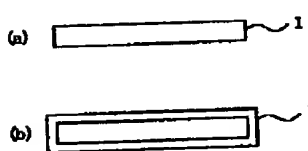
【図4】既にハンダ層が形成されているチップとバンパの接着プロセスを示す図である。

【図5】従来のハンダバンパを示す図である。

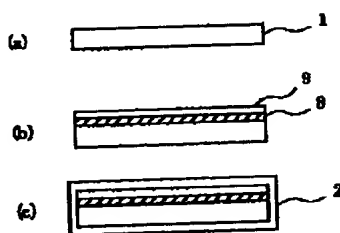
【符号の説明】

- 1 基材
- 2 ハンダメッキ層
- 3 打ち抜きポンチ
- 4 転写用シート
- 5 打ち抜き多層バンパ
- 6 LSIチップ
- 7 フラックス
- 8 接合層
- 9 バリアメタル層
- 10 ハンダ層
- 11 フリップチップバンパ
- 12 基板

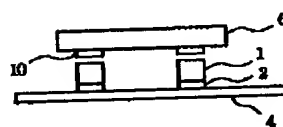
【図1】



【図3】



【図4】



【図5】

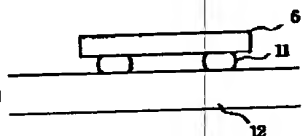


Figure 1 consists of three schematic diagrams labeled (a), (b), and (c), illustrating the manufacturing process of a semiconductor device.

- (a)** Shows the preparation of a substrate. A substrate (1) is shown with a wiring layer (2) and a conductive paste (3) applied to it. The paste is applied using a dispenser (4) and a nozzle (5). The paste is then cured by a heat treatment (6).
- (b)** Shows the mounting of a semiconductor chip (7) onto the substrate (1). The chip is mounted using a wire (2) and a wire bonding tool (3). The wire is then connected to the wiring layer (2) on the substrate.
- (c)** Shows the final assembly of the semiconductor device. The substrate (1) is shown with the wiring layer (2) and the semiconductor chip (7) mounted on it. The chip is connected to the wiring layer by a wire (2) and a wire bonding tool (3).

(51)Int.Cl.⁶
H 0 1 L 23/31

技術表示箇所